

Docket No. 8733.459.00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Je m Jae KIM et al.

GAU: Unknown

SERIAL NO: To be Assigned

EXAMINER: Unknown

FILED: June 27, 2001

FOR: Liquid Crystal Display Device and Fabricating Method Thereof

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [], filed [], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-85557	29 December, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. 08/832,980 filed April 4, 1997.
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

LONG ALDRIDGE & NORMAN LLP

John M. Kelly
John M. Kelly
Registration No. 33,920

Date: June 27, 2001

Sixth Floor, Suite 600
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
79981.1

09/891535
06/27/01



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0077
【제출일자】	2000.12.29
【국제특허분류】	G02F
【발명의 명칭】	액정표시소자 및 그 제조방법
【발명의 영문명칭】	Liquid Crystal Display Device And Method For Fabricating The Same
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-054732-1
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-054731-4
【발명자】	
【성명의 국문표기】	박철우
【성명의 영문표기】	PARK, Cheol Woo
【주민등록번호】	690608-1690116
【우편번호】	705-034
【주소】	대구광역시 남구 대명4동 3043-10
【국적】	KR
【발명자】	
【성명의 국문표기】	이규태
【성명의 영문표기】	LEE, Gue Tai
【주민등록번호】	690814-1788215
【우편번호】	770-860
【주소】	경상북도 영천시 임고면 양항1리 221
【국적】	KR

【발명자】**【성명의 국문표기】**

김정재

【성명의 영문표기】

KIM, Jeom Jae

【주민등록번호】

680722-1829914

【우편번호】

130-034

【주소】

서울특별시 동대문구 답십리4동 동담한신아파트 2동 913호

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 김용
인 (인) 대리인
심창섭 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 패턴들을 서로 연결시켰던 잔막 중간에 단락방지막을 개재시켜 잔막을 강제 오픈시킴으로써 단락 불량을 방지하는 액정표시소자 및 그 제조방법에 관한 것으로서, 상기 액정표시소자는 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 교차 배치된 복수의 게이트 배선 및 데이터 배선과, 상기 게이트 배선과 데이터 배선의 교차 부위에 형성된 박막트랜지스터와, 상기 게이트 배선의 에지 및 상기 박막트랜지스터의 게이트 전극의 에지 부위에 형성된 단락방지막과, 상기 박막트랜지스터의 드레인 전극과 연결된 화소전극과, 상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함하여 구성되는 것을 특징으로 한다.

그리고, 상기 액정표시소자의 제조방법은 제 1 기판 상에 게이트 배선 및 박막트랜지스터의 게이트 전극을 형성하는 공정과, 상기 게이트 전극을 포함한 전면에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상에 반도체층을 형성하고 상기 게이트 전극 및 게이트 배선의 에지 부위에 단락방지막을 형성하는 공정과, 상기 게이트 배선과 교차하는 데이터 배선과 박막트랜지스터의 소스/드레인 전극 및 스토리지 커패시터의 상부전극을 형성하는 공정과, 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 공정과, 상기 제 1 기판과 대향하는 제 2 기판과의 사이에 액정층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 3

1020000085557

2001/3/2

【색인어】

단락불량, 잔막

【명세서】**【발명의 명칭】**

액정표시소자 및 그 제조방법{Liquid Crystal Display Device And Method For Fabricating The Same}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 액정표시소자의 평면도.

도 2는 상기 도 1의 A-A' 절단면을 나타낸 단면도.

도 3은 본 발명에 의한 액정표시소자의 평면도.

도 4는 상기 도 3의 A-A' 절단면을 나타낸 단면도.

도 5a 내지 도 5d는 본 발명에 의한 액정표시소자의 제조공정 단면도.

*도면의 주요 부분에 대한 부호설명

301 : 기판

302 : 게이트 배선

302a : 게이트 전극

302c : 커패시터 하부전극

303 : 게이트 절연막

304 : 반도체층

304a : 단락방지막

305 ; 데이터 배선

305a : 소스 전극

305b : 드레인 전극

305c : 커패시터 상부전극

305d : 잔막

307 : 화소전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 패턴들을 서로 연결시켰던 잔막 중간에 단락방지막을 개재시켜 잔막을 강제 오픈시킴으로써 단락 불량을 방지하는 액정표시소자 및 그 제조방법에 관한 것이다.
- <15> 최근들어, 평판 디스플레이 대한 연구가 활발한데, 그 중에서 각광받고 있는 액정표시소자는 콘트라스트(contrast) 비가 크고, 계조 표시나 동화상 표시에 적합하며 전력 소비가 적다는 장점 때문에, CRT(cathode ray tube)의 단점을 극복할 수 있는 대체수단으로써 점차 그 사용 영역이 확대되고 있다.
- <16> 이하, 첨부된 도면을 참조하여 종래 기술에 따른 액정표시소자 및 그 제조방법을 설명하면 다음과 같다.
- <17> 도 1은 종래 기술에 의한 액정표시소자의 평면도이고, 도 2는 상기 도 1의 A-A' 절단면을 나타낸 단면도이다.
- <18> 일반적으로 액정표시소자는 하부기판이라 불리는 박막트랜지스터 배열 기판과, 상부기판으로 불리는 컬러필터 기판과, 상기 두 기판 사이에 형성된 액정층을 포함하여 구성된다.
- <19> 이하 설명될 내용은 이 중에서 하부기판인 박막트랜지스터 배열 기판에 관한 것이다.
- <20> 도 1 및 도 2를 참고로 하여 살펴보면, 상기 박막트랜지스터 배열 기판은 기판

(101) 상에 매트릭스 형태로 형성되어 단위 픽셀을 구분짓는 게이트 배선(102) 및 데이터 배선(105)과, 상기 게이트 배선(102) 및 데이터 배선(105)의 교차 영역에서 게이트 전극(102a), 반도체층(103), 소스/드레인 전극(105a/105b)이 적층되어 형성된 박막트랜지스터와, 상기 드레인 전극(105b)과 전기적으로 연결되어 상기 단위 픽셀 영역 내에 형성되는 화소전극(107)과, 상기 게이트 배선과 동시에 형성된 커패시터 하부전극(102c) 및 상기 데이터 배선과 동시에 형성된 커패시터 상부전극(105c)로 이루어지는 스토리지 커패시터(storage capacity)로 구성된다.

<21> 상기 박막트랜지스터 배열 기판의 제조방법은 먼저, 기판 상에 저저항의 금속을 스퍼터링 방법으로 증착하고 패터닝하여 게이트 배선(102)과, 상기 박막트랜지스터 위치의 게이트 전극(102a)과, 스토리지 커패시터의 위치의 커패시터 하부전극(102c)을 형성한다.

<22> 그리고, 상기 게이트 배선(102), 게이트 전극(102a) 및 커패시터 하부전극(102c)을 포함한 기판 전면에 게이트 절연막(103)을 형성하고, 상기 게이트 전극(102a) 상부에 반도체층(104)을 형성한다.

<23> 다음, 상기 게이트 배선과 교차하도록 데이터 배선을 형성하고, 상기 데이터 배선과 동시에 상기 박막트랜지스터 위치의 소스/드레인 전극(105a/105b)과, 스토리지 커패시터의 위치의 커패시터 상부전극(105c)을 형성한다.

<24> 이 때, 상기 데이터 배선과, 소스/드레인 전극(105a/105b)과, 커패시터 상부전극(105c)도 저저항의 도전성 있는 물질을 스퍼터링 방법으로 증착하고 포토 및 식각 공정을 행하여 패터닝한다.

- <25> 상기 식각 공정시, 데이터 배선(105)과 소스/드레인 전극(105a/105b)과 커패시터 상부전극(105c)의 패턴 외에는 완전히 제거되어야 하는데, 도 2에서와 같이 게이트 전극의 모서리 부분에서는 그 부분이 각져있기 때문에 쉽게 제거되지 않는다.
- <26> 그래서, 도 1에서와 같이 게이트 배선 및 게이트 전극 모서리의 각진 부분에 도전성 물질이 제거되지 않음으로써 잔막(105d)이 형성된다.
- <27> 이 때, 상기 잔막(105d)은 독립적으로 형성되어야 할 소스전극, 드레인 전극, 커패시터 상부전극(105c)을 서로 연결시킴으로써 소자에 전기적 단락(short) 문제를 일으킨다.
- <28> 도 1에서는 잔막(105d)에 의해 소스 전극(105a)과 드레인 전극(105b)이 서로 연결되고 또한, 커패시터 상부전극(105c)과 이웃하는 데이터 배선(105)이 서로 연결되는 것으로만 나타내었지만, 박막트랜지스터 및 커패시터 형성 기법이 다양해지고, 소자가 집적화 되어짐에 따라 상기 문제는 더욱 복잡하게 나타날 것이다.
- <29> 계속하여, 상기 데이터 배선(105), 소스/드레인 전극(105a/105b) 및 커패시터 상부전극(105c)을 포함한 기판 전면에 절연을 위해 보호막(미도시)을 형성하고, 그 상부에 상기 드레인 전극(105b)과 전기적으로 연결되도록 화소전극(107)을 형성한다.
- <30> 한편, 상기와 같이 형성된 스토리지 커패시터는 대응하는 박막트랜지스터의 턴오프 구간에서 액정 커패시터에 충전된 전압을 유지시켜주는 역할을 한다.
- 【발명이 이루고자 하는 기술적 과제】
- <31> 그러나, 상기와 같은 종래의 액정표시소자 및 그 제조방법은 다음과 같은 문제점이 있다.

<32> 즉, 게이트 배선 및 게이트 전극 모서리의 각진 부분에서 데이터 배선(소스/드레인 전극 및 커패시터 상부전극 포함) 형성용 도전성 물질이 완전히 제거되지 않음으로써 잔막이 형성되는데, 상기 잔막이 독립적으로 형성되어야 할 패턴을 서로 연결시켜줌으로써 단락 문제를 일으켜 소자의 신뢰성을 떨어뜨린다.

<33> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 단락 문제가 발생하는 경로에 형성된 단락방지막에 의해 단락 불량 발생이 제거되는 액정표시소자 및 그 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<34> 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시소자는 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 교차 배치된 복수의 게이트 배선 및 데이터 배선과, 상기 게이트 배선과 데이터 배선의 교차 부위에 형성된 박막트랜지스터와, 상기 게이트 배선의 에지 및 상기 박막트랜지스터의 게이트 전극의 에지 부위에 형성된 단락방지막과, 상기 박막트랜지스터의 드레인 전극과 연결된 화소전극과, 상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함하여 구성되는 것을 특징으로 한다.

<35> 그리고, 상기 액정표시소자의 제조방법은 제 1 기판 상에 게이트 배선 및 박막트랜지스터의 게이트 전극을 형성하는 공정과, 상기 게이트 전극을 포함한 전면에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상에 반도체층을 형성하고 상기 게이트 전극 및 게이트 배선의 에지 부위에 단락방지막을 형성하는 공정과, 상기 게이트 배선과 교차하는 데이터 배선과 박막트랜지스터의 소스/드레인 전극 및 스토리지 커패시터의 상부전극을 형성하는 공정과, 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 공정과, 상기 제 1 기판과 대향하는 제 2 기판과의 사이에 액정층을 형성하는 공정을

포함하여 이루어지는 것을 특징으로 한다.

<36> 즉, 본 발명에 의한 액정표시소자는 패턴들을 서로 연결시켰던 잔막 중간에 단락방지막을 개재시켜 잔막을 강제 오픈시킴으로써 단락 불량을 제거하는 것을 특징으로 한다.

<37> 이 때, 상기 단락방지막은 반도체층 패턴시 동시에 패턴하므로 공정수가 증가하는 것은 아니다.

<38> 이하, 첨부된 도면을 참조하여 본 발명에 의한 액정표시소자 및 그 제조방법을 상세히 설명하면 다음과 같다.

<39> 도 3은 본 발명에 의한 액정표시소자의 평면도이고, 도 4는 상기 도 2의 B-B' 절단면을 나타낸 단면도이다.

<40> 그리고, 도 5a 내지 도 5d는 본 발명에 의한 액정표시소자의 제조공정 단면도이다.

<41> 본 발명에 의한 액정표시소자는 박막트랜지스터 배열 기판이라 불리는 제 1 기판과, 컬러필터 기판으로 불리는 제 2 기판과, 상기 두 기판 사이에 형성된 액정층으로 이루어지는데, 상기 박막트랜지스터 배열 기판에 대해 자세히 살펴보면 다음과 같다.

<42> 도 3 및 도 4를 참고로 하여 살펴보면, 본 발명에 따른 액정표시소자의 박막트랜지스터 배열 기판은 제 1 기판(301) 상에 증착되어 패터닝된 게이트 배선(302), 게이트 전극(302a) 및 커패시터 하부전극(302c)과, 그 후 기판 전면에서 형성된 게이트 절연막(303)과, 상기 게이트 전극(302a) 상부에 형성된 반도체층(304)과, 상기 반도체층과 동시에 형성되어 단락 불량을 방지하는 단락방지막(304a)과, 상기 게이트 배선(302)과 직교하여 단위 픽셀을 구분짓는 데이터 배선(305)과, 상기 데이터 배선과 함께 패터닝된 소스 전

극(305a), 드레인 전극(305b) 및 커패시터 상부전극(305c)과, 그후 기판 전면에 두텁게 형성된 보호막(미도시)과, 상기 보호막 상에 형성되어 상기 드레인 전극(305b)과 전기적으로 연결되는 화소전극(307)으로 구성된다.

<43> 이 때, 상기 커패시터 하부전극(302c) 및 커패시터 상부전극(305c)은 스토리지 커패시터를 구성하고, 상기 게이트 전극(302a), 반도체층(304) 및 소스/드레인 전극(305a/305b)의 적층막은 박막트랜지스터를 구성하는데, 상기 반도체층(304)을 비정질 실리콘으로 형성한 비정질 박막트랜지스터(amorphous silicon thin film transistor ; a-Si:H TFT)가 주류를 이루고 있다.

<44> 도 5a 내지 도 5d를 참고로 하여, 본 발명에 의한 액정표시소자 특히, 박막트랜지스터 배열 기관의 제조방법을 설명하면, 먼저 도 5a에 도시된 바와 같이 기판 상에 게이트 배선 및(302) 게이트 전극(302a)을 형성한다.

<45> 이 때, 상기 게이트 배선(302)의 일부는 커패시터의 하부전극으로 활용된다.

<46> 다음, 상기 게이트 전극(302a)을 포함한 전면에 게이트 절연막을 형성하고, 도 5b에 도시된 바와 같이 상기 게이트 전극(302a) 상부에 반도체층(304)을 형성한다.

<47> 이 때, 상기 반도체층(304) 형성과 동시에 전기적 단락 불량을 방지하는 단락방지막(304a)을 게이트 전극(302a)의 에지 부위과 게이트 배선(302)의 에지 부위에 형성한다.

<48> 상기 단락방지막(304a)은 도 3에서와 같이 상기 식각 공정의 불완전함으로 인해 게이트 배선 및 게이트 전극 모서리의 각진 부분에 형성되는 잔막(305d) 중간에 형성되며, 상기 반도체층(304)과 동일한 물질로 동시에 패터닝되므로 공정이 복잡해지지 않는다.

- <49> 이와같이 형성된 상기 단락방지막(304a)은 이후 형성될 데이터 배선, 소스/드레인 전극 및 커패시터 하부전극 식각시, 게이트 배선 및 게이트 전극 모서리의 각진 부분에서 완전히 제거되지 못하고 잔류하는 잔막 중 일부를, 강제 오픈시키는 역할을 한다.
- <50> 따라서, 상기 단락방지막(304a)을 사이에 두고 잔막의 경로가 끊어지게 되어 종래와 달리 상기 소스 전극(305a), 드레인 전극(305b) 및 커패시터 상부전극(305c)이 서로 독립적으로 구동 가능하게 된다.
- <51> 여기서, 주목할 점은 상기 단락방지막(304a)의 모서리는 상기 게이트 배선, 게이트 전극 및 커패시터 하부전극의 모서리가 깊이 패여 각져 있는 것과 달리, 각지지 않고 부드럽게 형성되어 데이터 배선용 물질의 잔막이 형성되지 않는다는 것이다.
- <52> 상기에서와 같이 그 모서리의 형태가 다른 이유는 상기 게이트 배선, 게이트 전극 및 커패시터 하부전극(302, 302a, 302c)은 금속으로 형성되어 습식 식각을 이용하여 패터닝되어 깊이 식각되지만, 상기 단락방지막(304a)은 반도체층과 동일한 물질 일례로, 비정질 실리콘으로 형성되어 건식 식각을 이용하여 패터닝되기 때문에 각지게 패터닝되지 않는다.
- <53> 이후, 도 5c에 도시된 바와 같이 상기 게이트 배선(302)과 직교하여 단위 픽셀을 구분짓도록 데이터 배선(305)을 형성하고, 상기 데이터 배선(305)과 동시에 상기 반도체층(304) 상부에 소스 전극(305a), 드레인 전극(305b) 및 커패시터 상부전극(305c)을 형성한다.
- <54> 여기서, 상기 데이터 배선(305), 소스 전극(305a), 드레인 전극(305b) 및 커패시터 상부전극(305c)은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 주석(Sn), 구리(Cu)등을 사

용하여 스퍼터링 방법으로 증착하여 포토 및 식각 공정을 거쳐서 형성된다.

<55> 다음, 도 5d에 도시된 바와 같이 상기 데이터 배선(305)을 포함한 전면에 보호막(미도시)을 두텁게 형성하고, 상기 보호막 상에서 상기 드레인 전극(305b)과 전기적으로 연결되도록 화소전극(307)을 형성한다.

<56> 마지막으로, 상기와 같이 형성된 박막트랜지스터 배열 기판과 대향하도록 컬러필터 기판을 대향 합착시키고, 그 사이에 액정층을 주입하면 원하는 액정표시소자가 완성된다.

<57> 한편, 상기 단락방지막은 도 3에서와 같이 섬모양으로 형성되는 외에 잔막의 형성되는 게이트 배선 또는 게이트 전극의 에지부에 따라 넓게 형성되는 것도 가능한데, 이 때는 독립되어야 할 패턴이 일체형으로 됨으로써 생기는 단락 불량에 해결 외에, 게이트 배선 및 게이트 전극과 잔막 사이에 생기는 단락 불량도 부가적으로 해결된다.

<58> 이 때, 게이트 배선 및 게이트 전극과 잔막 사이에 생기는 단락 불량은 게이트 절연막으로 6.4 내지 6.7의 유전율을 갖는 실리콘질화막을 사용함으로써 발생하는 것이다.

【발명의 효과】

<59> 상기와 같은 본 발명의 액정표시소자 및 그 제조방법은 다음과 같은 효과가 있다.

<60> 첫째, 독립된 동일 금속층의 잔막 중간에 단락방지막을 개재함으로써 잔막의 연결을 끊어 각 패턴이 서로 독립적으로 구동된다.

<61> 둘째, 단락 문제를 유발시키는 잔막의 중간에 개재된 단락방지막에 의해 단락 불량을 제거함으로써 생산성을 높인다.

<62> 셋째, 상기 단락방지막은 반도체층과 같은 물질로 동시에 형성되므로 공정수를 늘

이지 않고 단락불량을 해소할 수 있다.

<63> 넷째, 상기 단락방지막을 잔막이 형성되는 부위에 넓게 형성함으로써 잔막과 그 하부의 금속층과의 단락불량도 제거 가능하다.

【특허청구범위】**【청구항 1】**

제 1 기판 및 제 2 기판;

상기 제 1 기판 상에 교차 배치된 복수의 게이트 배선 및 데이터 배선;

상기 게이트 배선과 데이터 배선의 교차 부위에 형성된 박막트랜지스터;

상기 게이트 배선의 예지 및 상기 박막트랜지스터의 게이트 전극의 예지 부위에
형성된 단락방지막;

상기 박막트랜지스터의 드레인 전극과 연결된 화소전극;

상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함하여 구성되는 것을 특징
으로 하는 액정표시소자.

【청구항 2】

제 1 항에 있어서, 상기 박막트랜지스터는

상기 기판 상에 형성된 게이트전극과,

상기 게이트 전극을 포함한 전면에 형성된 게이트 절연막과,

상기 게이트 전극 상부의 게이트 절연막 상에 형성된 반도체과,

상기 반도체층 상에 형성된 소스 및 드레인 전극으로 구성되는 것을 특징으로 하는
액정표시소자.

【청구항 3】

제 1 항에 있어서, 상기 단락방지막은 상기 반도체층과 동일 평면 상에 형성되는
것을 특징으로 하는 액정표시소자.

【청구항 4】

제 1 항에서, 상기 단락방지막은 반도체층과 동일 물질인 것을 특징으로 하는 액정 표시소자.

【청구항 5】

제 1 항에 있어서, 상기 게이트 배선을 하부전극으로 하고, 상기 데이터 배선과 동일 물질을 상부전극으로 하는 스토리지 커패시터가 더 구비되는 것을 특징으로 하는 액정 표시소자.

【청구항 6】

제 1 항에 있어서, 상기 게이트 배선의 에지 부위에 형성된 단락방지막은 상기 데이터 배선과 상기 상부전극의 전기적 단락을 방지하는 것을 특징으로 하는 액정 표시소자.

【청구항 7】

제 1 항에 있어서, 상기 게이트 전극의 에지 부위에 형성된 단락방지막은 상기 데이터 배선과 소스 전극과 드레인 전극간의 전기적 단락을 방지하는 것을 특징으로 하는 액정 표시소자.

【청구항 8】

제 1 항에서, 상기 단락방지막은 상기 게이트 배선 및 게이트 전극의 에지부를 따라 형성되거나 일부분에 독립된 섬모양으로 형성되는 것을 특징으로 하는 액정 표시소자.

【청구항 9】

제 1 기관 상에 게이트 배선 및 박막트랜지스터의 게이트 전극을 형성하는 공정;

상기 게이트 전극을 포함한 전면에 게이트 절연막을 형성하는 공정;

상기 게이트 절연막 상에 반도체층을 형성하고 상기 게이트 전극 및 게이트 배선의 에지 부위에 단락방지막을 형성하는 공정;

상기 게이트 배선과 교차하는 데이터 배선과 박막트랜지스터의 소스/드레인 전극 및 스토리지 커패시터의 상부전극을 형성하는 공정;

상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 공정;

상기 제 1 기판과 대향하는 제 2 기판과의 사이에 액정층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 10】

제 9 항에 있어서, 상기 단락방지막은 상기 반도체층과 동일 물질로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 11】

제 9 항에 있어서, 상기 상기 단락방지막은 상기 게이트 배선 및 게이트 전극의 에지 부위를 따라 형성하거나 독립된 섬모양으로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

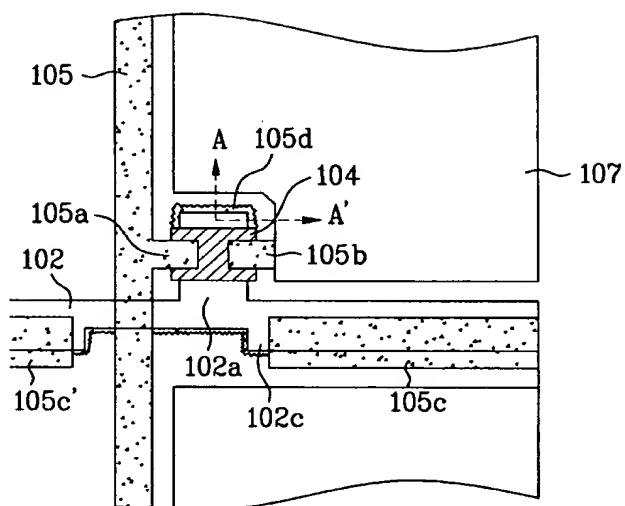
【청구항 12】

제 9 항에 있어서, 상기 게이트 배선 및 게이트 전극은 습식 식각 공정으로 패터닝하고, 상기 반도체층 및 단락방지막은 건식 식각 공정으로 패터닝하는 것을 특징으로 하는 액정표시소자의 제조방법.

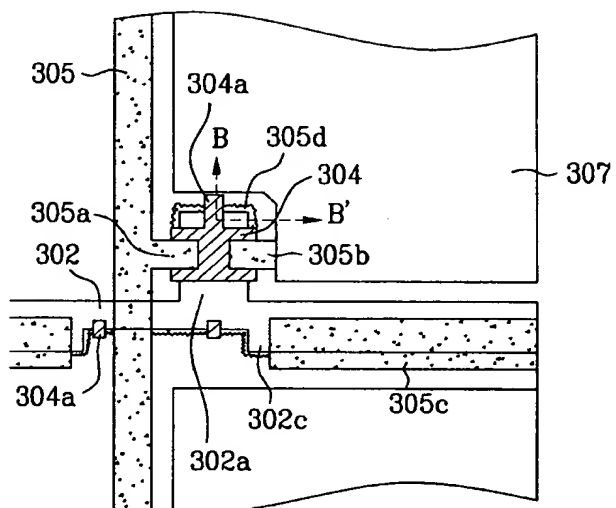
【청구항 13】

제 9 항에 있어서, 상기 게이트 배선 및 게이트 전극은 금속으로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

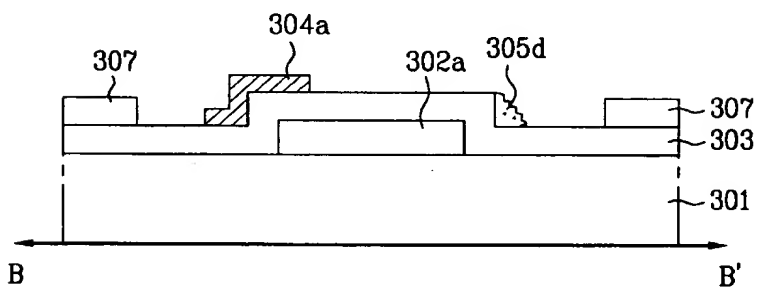
【도 1】



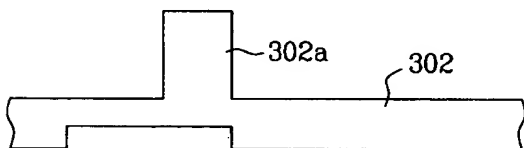
This cross-sectional view shows a substrate 101 with a thin layer 103 on its top surface. A central rectangular region 102a is defined within layer 103. On the top surface of layer 103, there are two rectangular blocks 107, one on each side of region 102a. A dashed line 105d indicates a vertical boundary or interface between the blocks 107 and the central region 102a.



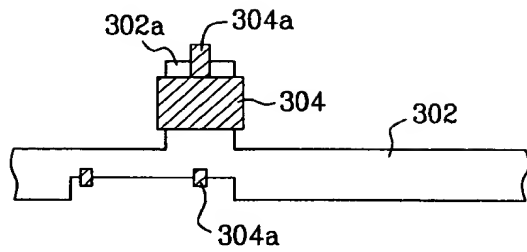
【도 4】



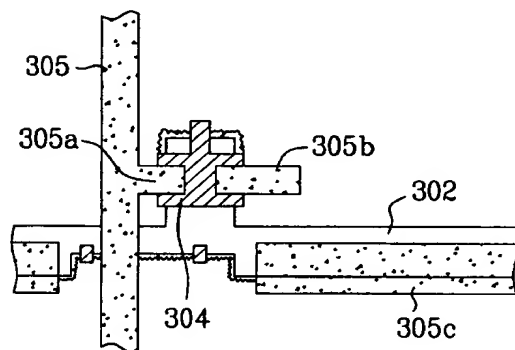
【도 5a】



【도 5b】



【도 5c】



【도 5d】

